

Patent Abstracts of Japan

PUBLICATION NUMBER : 04171744
PUBLICATION DATE : 18-06-92

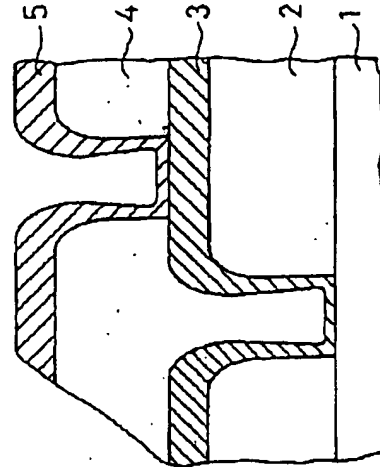
APPLICATION DATE : 02-11-90
APPLICATION NUMBER : 02298695

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : OBATA MASANORI;

INT.CL. : H01L 21/90 H01L 21/3205

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To provide a reliable semiconductor device with reduced contact resistance by cleaning a lower aluminum wiring layer exposed through a contact hole by dry etching using a mixture of rare gas and hydrogen to remove the denatured layer on the wiring surface.

CONSTITUTION: A lower aluminum wiring layer 3 is cleaned by dry etching using an argon-hydrogen mixture through a contact hole. The fluorine and oxygen in a denatured layer are converted into hydrofluoric acid and water both by the physical action of argon plasma and by the chemical reaction of hydrogen. The reaction temperature is lower than the process temperature, but the hydrofluoric acid and water are evaporated. An upper aluminum wiring layer 5 is formed on a second insulating film 4 in such a manner that it is connected electrically with the lower wiring layer 3 through a contact hole. According to this method, the contact resistance between wiring layers is reduced, and a reliable device is obtained.

COPYRIGHT: (C) JPO

PTO 2002-3523

S.T.I.C. Translations Branch

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-171744

⑤ Int. Cl.¹

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月18日

H 01 L 21/90
21/3205

A

7353-4M

7353-4M H 01 L 21/88

C

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-298695

⑯ 出 願 平2(1990)11月2日

⑰ 発 明 者 竹 下 直 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 発 明 者 萩 公 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 小 畑 正 則 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 下層アルミ配線層を備えた下地層を準備する工程と、

前記下地層上に、所定位置にコンタクトホールを有する層間絶縁膜を形成する工程と、

前記コンタクトホールを介して露出された前記下層アルミ配線層を希ガスと水素ガスの混合ガスを用いてドライエッチクリーニングをする工程と、

前記層間絶縁膜上に、前記コンタクトホールを介して前記下層アルミ配線層と電気的に接続するように上層配線層を形成する工程を備えた半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、下層アルミ配線層と上層配線層とをコンタクトホールを介して接続する半導体装置の製造方法に関する。

(従来の技術)

半導体装置は通常アルミ多層配線構造を有する。

第2図はアルミ多層配線構造を有する従来の半導体装置の断面図である。

次に、第2図に示した半導体装置の製造方法を述べる。まずシリコン基板1上に第1の層間絶縁膜2を形成し、コンタクトホールを設ける。そして、該コンタクトホールを介してシリコン基板1と電気的に接続するようにパターニングされた下層アルミ配線層3を形成する。次に、下層アルミ配線層3上に第2の層間絶縁膜4を形成する。そして、写真製版法によりコンタクトホール開孔部以外の領域を覆うフォトリジストを形成し、このフォトリジストをマスクとしてフッ酸系溶液による湿式エッチングと、CHF₃とO₂等を主成分ガスとした反応性イオンエッチングとを組み合わせたテーパーエッチング法により第2の絶縁膜4を選択的に除去し、下層アルミ配線層3と後に形成する上層アルミ配線層5とを電気的に接続するためのコンタクトホールである電気的接続部(以

other rare
gas can be
used

T > 100 °C

mythical
At go place
the
spite
etch
unit

特開平 4-171744(2)

（Via-hole部という）を形成する。

フォトリソ形成時及びエッチング時に生じる反応生成物などは、エッチング後に酸素プラズマや湿式化学処理法を用いて除去する。

Via-hole部形成工程中、下層アルミ配線層3はVia-hole部を介して CHF_3 等のフッ素系ガスや酸素ガスのプラズマにさらされるため、下層アルミ配線層3の表面には1000オングストローム程度のアルミの炭質層（フッ化物や酸化物）6ができていく。

次に、アルゴンガスプラズマによるスパッタエッチングによりこの炭質層6を除去する。これは、下層アルミ配線層3と上層アルミ配線層5とのコンタクト特性を良好に保つためである。

次に、真空中でスパッタ法により、上層アルミ配線層5をVia-hole部を介して下層アルミ配線層3に電気的に接続するように形成し、写真製版法とエッチング法によりパターンニングする。上層アルミ配線層3はAl-Si、Al-Si-Cu、Al-Cu等のアルミ合金膜が用いられる。

- 3 -

この発明に係る半導体装置の製造方法は、下層アルミ配線層を備えた下地層を準備する工程と、前記下地層上に、所定位置にコンタクトホールを有する層間絶縁膜を形成する工程と、前記コンタクトホールを介して露出された前記下層アルミ配線層を希ガスと水素ガスの混合ガスを用いてドライエッチクリーニングする工程と、前記層間絶縁膜上に、前記コンタクトホールを介して前記下層アルミ配線層と電気的に接続するように上層配線層を形成する工程を備えている。

（作用）

この発明においては、コンタクトホールを介して露出された下層アルミ配線層を希ガスと水素ガスの混合ガスを用いてドライエッチクリーニングする工程を設けているので、下層アルミ配線層表面に形成された炭質層は、物理的手法のみならず化学的手法によっても除去される。

（実施例）

第1図はこの発明に係る半導体装置の製造方法の一実施例を用いて製造した半導体装置の断面図

さらに、Via-hole部での下層アルミ配線層3と上層アルミ配線層5とのミッシング状態を向上させるため、400～450℃程度の温度で熱処理を行う。

（発明が解決しようとする課題）

従来の半導体装置は以上のような工程で行われ、炭質層6の除去をアルゴンガスプラズマによるスパッタエッチングという物理的手法で行っているため、スパッタエッチングで除去された炭質層6の粒子が下層アルミ配線層3の表面に付着し、上層アルミ配線層5を形成した場合、下層アルミ配線層3とのコンタクト抵抗が増加するとともに、Via-hole部のエレクトロマイグレーション耐性やストレスマイグレーション耐性などの信頼性が悪化するという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、コンタクト抵抗が小さく、かつ信頼性の高い半導体装置の製造方法を得ることを目的とする。

（課題を解決するための手段）

- 4 -

である。

次に、第1図に示した半導体装置の製造方法を述べる。従来と同様の方法によりシリコン基板1上に第1の層間絶縁膜2、下層アルミ配線層3、Via-hole部を有する第2の層間絶縁膜4を形成する。このとき従来と同様にVia-hole部を介して露出している下層アルミ配線層3に炭質層6が形成される。

次に、希ガスであるアルゴンガスと水素ガスの混合ガスを用いて、Via-hole部を介して露出された下層アルミ配線層3にドライエッチクリーニングを施すと、従来と同様アルゴンガスプラズマによるスパッタエッチング（物理的手法）とともに、水素ガスと炭質層6に含まれているフッ素及び酸素が反応（化学的手法）して、 HF や水ができる。 HF の沸点は19.5℃であり、水の沸点は100℃である。半導体装置の製造工程の温度は通常これらの温度より高いので HF や水は蒸気となり除去される。そのため、従来のようにスパッタエッチングにより除去された炭質層6

- 5 -

- 6 -

の粒子が再付着しても化学的手法により完全に除去される。

次に従来と同様の方法により第2の層間絶縁膜4上に、Via-hole部を介して下層アルミ配線層3と電気的に接続するように上層アルミ配線層5を形成する。このとき、Via-hole部の下層アルミ配線層3の表面に形成されていた炭質層6は完全に除去されているので、下層アルミ配線層3と上層アルミ配線層5のコンタクト抵抗が従来のように高くならず、Via-hole部におけるエレクトロマイグレーション耐性やストレスマイグレーション耐性などの信頼性も悪化することはない。

なお、上記実施例では下層、上層配線ともにアルミ配線の場合を示したが、上層配線はアルミ配線でもなくてもよい。

また、希ガスはアルゴンガスに限定されない。

(発明の効果)

以上のようにこの発明によれば、コンタクトホールを介して露出された下層アルミ配線層を希ガ

スと水素ガスの混合ガスを用いてドライエッチングする工程を設けているので、下層アルミ配線層表面に形成された炭質層は、物理的手法のみならず化学的手法によっても除去される。その結果、上層配線層と下層アルミ配線層のコンタクト抵抗が低くなるとともに、Via-hole部のエレクトロマイグレーション耐性及びストレスマイグレーション耐性などの信頼性も高くなるという効果がある。

4. 図面の簡単な説明

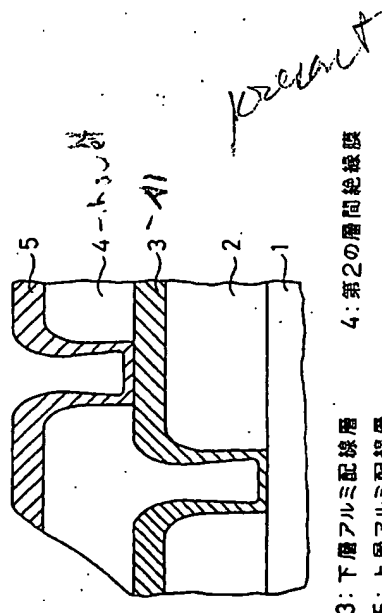
第1図はこの発明に係る半導体装置の製造方法の一実施例を説明するための図、第2図は従来の半導体装置の製造方法を説明するための図である。

図において、3は下層アルミ配線層、4は第2の層間絶縁膜、5は上層アルミ配線層である。

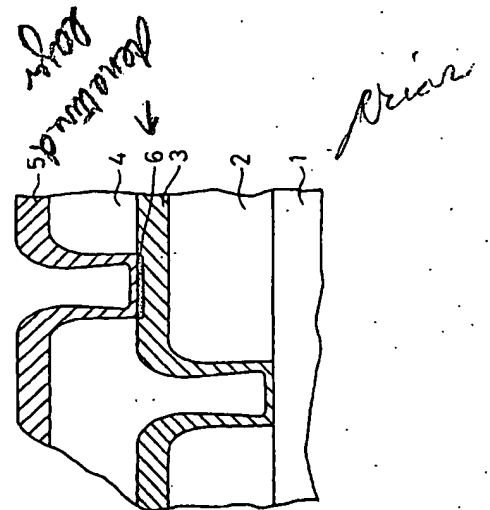
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

第1図



第2図



JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 4[1992]-171744

Int. Cl.⁵: H 01 L 21/90
21/3205

Identification Code: A

Sequence Nos. for Office Use: 7353-4M
7353-4M

Filing No.: Hei 2[1990]-298695

Filing Date: November 2, 1990

Publication Date: June 18, 1992

No. of Claim: 1 (Total of 3 pages)

Examination Request: Not requested

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

[Handotai sochi no seizo hoho]

Inventors: Naohiko Takeshita, et al.

Applicant: Mitsubishi Electric Corp.

Agent: Masuo Oiwa, patent attorney, and
2 others

[There is no amendment to this patent.]

Claim

A method for manufacturing a semiconductor device which involves a step in which a base layer provided with a lower aluminum wiring layer is prepared, a step in which an interlayer insulating film having contact holes at prescribed positions is formed on the aforementioned base layer,

a step in which dry etching cleaning is applied to the aforementioned lower aluminum wiring layer exposed via the aforementioned contact holes using a mixed gas including a rare gas and a hydrogen gas, and

a step in which an upper wiring layer is formed on the aforementioned interlayer insulating film while achieving electrical connection with the aforementioned lower aluminum wiring layer via the aforementioned contact holes.

Detailed explanation of the invention

Industrial application field

The present invention pertains to a method for manufacturing a semiconductor device in which a lower aluminum wiring layer and an upper wiring layer are connected via contact holes.

Prior art

Usually, a semiconductor device has an aluminum multi-layer wiring structure. Figure 2 is a cross section of a conventional semiconductor device having such an aluminum multi-layer wiring structure.

Next, the method for manufacturing the semiconductor device shown in Figure 2 will be described. First, first interlayer insulating film 2 is formed on silicon substrate 1, and contact holes are created. Then, lower aluminum wiring layer 3 is formed in a pattern to achieve electrical connection with silicon substrate 1 via said contact holes. Next, second interlayer insulating film 4 is formed on lower wiring layer 3. Then, a photoresist is formed by means of a phototype processing method over the entire area except the parts where the contact holes are created, and second insulating film 4 is removed selectively by means of a taper etching method, a combination of wet etching utilizing fluoric acid and reactive ion etching utilizing CHF_3 and O_2 as primary ingredient gases, using said photoresist as a mask in order to create electrical connection parts (will be referred to as via-hole parts, hereinafter), that is, contact holes for achieving electrical connection between lower aluminum wiring layer 3 and upper aluminum wiring layer 5 to be formed later.

Reaction products created during the photoresist formation and the etching are removed after the etching is completed using an oxygen plasma or a wet chemical processing method. Because lower aluminum wiring layer 3 is exposed to plasma from a fluorine type gas, such as CHF_3 , or gaseous oxygen through the via-holes during the via-hole creating process, degenerated aluminum layer (fluoride or oxide) 6 is formed to a thickness of 100 Å or so on the surface of lower aluminum wiring layer 3.

Next, said degenerated layer 6 is removed by means of sputtering etching utilizing an argon gas plasma. This is done in order to keep the contact characteristic between lower aluminum wiring layer 3 and upper aluminum wiring layer 5 good.

Next, upper aluminum wiring layer 5 is formed in a vacuum by means of the sputtering method while achieving electrical connection with lower aluminum wiring layer 3 via the via-hole parts, and a pattern is created by means of the phototype processing method and an etching method. A film made of an aluminum alloy, such as Al-Si, Al-Si-Cu, or Al-Cu, is utilized for upper aluminum wiring layer 3 [sic; 5].

Furthermore, a heat treatment at around 400-450°C is applied in order to improve the mixing condition of lower aluminum wiring layer 3 with upper aluminum wiring layer 5 at the via-hole areas.

Problem to be solved by the invention

The conventional semiconductor device was created according to the aforementioned process; wherein, the removal of degenerated layer 6 is achieved using a physical method called sputtering etching utilizing an argon gas plasma. Thus, removed particles of degenerated layer 6 adhered back to the surface of lower aluminum wiring layer 3, creating a problem that the contact resistance with lower aluminum wiring layer 3 increased, and the reliabilities of the electromigration tolerance and the stress migration tolerance at the via-holes deteriorated when upper aluminum wiring layer 5 was formed.

The present invention was made to solve the aforementioned problem, and its purpose is to realize a method for manufacturing a semiconductor device with little contact resistance and high reliability.

Means to solve the problem

The method for manufacturing a semiconductor device pertaining to the present invention involves a step in which a base layer provided with a lower aluminum wiring layer is prepared, a step in which an interlayer insulating film having contact holes at prescribed positions is formed on the aforementioned base layer, a step in which dry etching cleaning is applied to the aforementioned lower aluminum wiring layer exposed via the aforementioned contact holes using a mixed gas comprising a rare gas and a hydrogen gas, and a step in which an upper wiring layer is formed on the aforementioned interlayer insulating film while achieving electrical connection with the aforementioned lower aluminum wiring layer via the aforementioned contact holes.

Function

In the present invention, because the step in which dry etching cleaning is applied to the lower aluminum wiring layer exposed via the contact holes using a mixed gas comprising a rare gas and a hydrogen gas is provided, the degenerated layer formed on the surface of the lower aluminum wiring layer is removed by means not only of a physical method but also of a chemical method.

Application example

Figure 1 is a cross section of a semiconductor device created using an application example of the method for manufacturing a semiconductor device pertaining to the present invention.

Next, the method for manufacturing a semiconductor device shown in Figure 1 will be described. First interlayer insulating film 2, lower aluminum wiring layer 3, and second interlayer insulating film 4 with via-holes are formed on silicon substrate 1 using the same conventional method. At this time, degenerated layer 6 is formed on lower aluminum wiring layer 3 exposed by the via-hole parts, like in the past.

Next, when dry etching cleaning is applied to lower aluminum wiring layer 3 exposed by the via-hole parts using a mixed gas comprising an argon gas as a rare gas and a hydrogen gas, sputtering etching (physical method) with the plasma of the argon gas is realized, like in the past, and HF and water are created as the fluorine and the oxygen contained in the hydrogen gas and degenerated layer 6 react with each other (chemical method). Boiling point of HF is 19.5°C, and the boiling point of hydrogen is 100°C. Because the semiconductor manufacturing process is usually carried out under a temperature higher than said temperatures, the HF and water are removed as vapors. Thus, even when the particles of degenerated layer 6 removed during the sputtering etching adhere again, like in the past, they are removed completely by the chemical method.

Next, upper aluminum wiring layer 5 is formed on second interlayer insulating layer 4 while achieving electrical connection with lower aluminum wiring layer 3 through the via-holes using the same conventional method. At this time, because degenerated layer 6 that used to be present on the surface of lower aluminum wiring layer 3 at the via-holes is already removed completely, the contact resistance between lower aluminum wiring layer 3 and upper aluminum wiring layer 5 is not as high as in the past, so that the reliabilities of the electromigration tolerance and the stress migration tolerance do not deteriorate, either.

Furthermore, although a case in which the lower and the upper wiring layers are of aluminum wiring was shown in the aforementioned application example, the upper layer wiring does not have to be of aluminum wiring. Moreover, the rare gas is not limited to argon gas.

Effect of the invention

As described above, because the step in which dry etching cleaning is applied to the lower aluminum wiring layer exposed via the contact holes using the mixed gas comprising the rare gas and the hydrogen gas is provided, the degenerated layer formed on the surface of the lower aluminum wiring layer is removed by means not only of the physical method but also of the chemical method. As a result, the present invention offers an effect that the contact resistance between the upper aluminum wiring layer and the lower aluminum wiring layer is reduced, and the reliabilities of the electromigration tolerance and the stress migration tolerance at the via-holes are improved.

Brief description of the figures

Figure 1 is a diagram for explaining the application example of the method for manufacturing a semiconductor device pertaining to the present invention, and Figure 2 is a diagram for explaining the conventional method for manufacturing semiconductor devices.

In the figures, 3 indicates the lower aluminum wiring layer, 4 indicates the second interlayer insulating film, and 5 indicates the upper aluminum wiring layer.

Furthermore, in the figures, the same symbols indicate the same parts or equivalents.

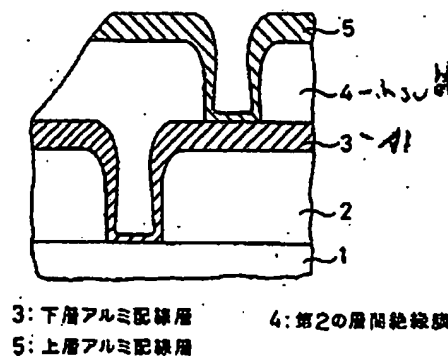


Figure 1

- Key: 3 Lower aluminum wiring layer
4 Second interlayer insulating film
5 Upper aluminum wiring layer

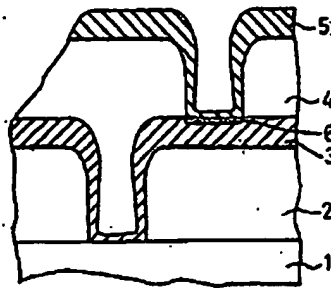


Figure 2